



Περιγραμμά μαθήματος

ΙΔΡΥΜΑ	ΕΘΝΙΚΟ ΚΑΙ ΚΑΠΟΔΙΣΤΡΙΑΚΟ ΠΑΝΕΠΙΣΤΗΜΙΟ ΑΘΗΝΩΝ																			
ΣΧΟΛΗ	ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ																			
ΤΜΗΜΑ	ΠΛΗΡΟΦΟΡΙΚΗΣ ΚΑΙ ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ																			
ΕΠΙΠΕΔΟ ΣΠΟΥΔΩΝ	ΠΡΟΠΤΥΧΙΑΚΟ																			
ΤΙΤΛΟΣ ΜΑΘΗΜΑΤΟΣ	Εργαστήριο Λογικής Σχεδίασης																			
ΚΩΔΙΚΟΣ ΜΑΘΗΜΑΤΟΣ	Κ02ε	Εξάμηνο	1	ECTS	2															
ΩΡΕΣ ΔΙΔΑΣΚΑΛΙΑΣ	ΘΕΩΡ.		ΦΡΟΝΤ.		ΕΡΓΑΣΤ.	2 ώρες/τμήμα														
ΤΥΠΟΣ ΜΑΘΗΜΑΤΟΣ	<p>Επιλέξτε ένα από τα ακόλουθα και διαγράψτε τα υπόλοιπα Αυτοτελές Προαιρετικό Εργαστήριο (EP)</p> <table border="1"> <thead> <tr> <th>Κ</th> <th>Ε1</th> <th>Ε2</th> <th>Ε3</th> <th>Ε4</th> <th>Ε5</th> <th>Ε6</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table> <p>Συμπληρώστε τον πίνακα όπως στο πρόγραμμα σπουδών: Κατεύθυνση (Α, Β) / Υποχρεωτικό Ειδίκευσης (Υ) / Βασικό Ειδίκευσης (Β) / Επιλογής Ειδίκευσης (Ε)</p>						Κ	Ε1	Ε2	Ε3	Ε4	Ε5	Ε6							
Κ	Ε1	Ε2	Ε3	Ε4	Ε5	Ε6														
ΗΛΕΚΤΡΟΝΙΚΗ ΣΕΛΙΔΑ ΜΑΘΗΜΑΤΟΣ (URL)	https://eclass.uoa.gr/courses/DI375																			
ΠΡΟΑΠΑΙΤΟΥΜΕΝΑ ΜΑΘΗΜΑΤΑ	-																			
ΓΛΩΣΣΑ ΔΙΔΑΣΚΑΛΙΑΣ και ΕΞΕΤΑΣΕΩΝ:	ΕΛΛΗΝΙΚΑ																			
ΤΟ ΜΑΘΗΜΑ ΠΡΟΣΦΕΡΕΤΑΙ ΣΕ ΦΟΙΤΗΤΕΣ ERASMUS	ΟΧΙ																			

ΠΕΡΙΕΧΟΜΕΝΟ ΜΑΘΗΜΑΤΟΣ

Συμπληρώστε (λεκτική περιγραφή) το περιεχόμενο του μαθήματος αναφέροντας τη δομή και τα θέματα που καλύπτονται.

Το περιεχόμενο του μαθήματος αφορά τη σχεδίαση ψηφιακών κυκλωμάτων και την υλοποίησή τους σε τεχνολογία Field Programmable Gate Arrays (FPGAs) με τη χρήση των κατάλληλων εργαλείων λογισμικού της XILINX (WebPACK edition του Vivado Design Suite).

Συγκεκριμένα αφορά τη σχεδίαση με τη γλώσσα περιγραφής υλικού VHDL, την δημιουργία κατάλληλων περιορισμών χρονισμού (timing constraints) και I/O (I/O constraints), την σύνθεση (synthesis) και υλοποίηση (implementation) και παραγωγή του bitstream στοχεύοντας συγκεκριμένο FPGA καθώς και την επαλήθευση της ορθής σχεδίασης (verification) σε όλα τα διαδοχικά επίπεδα σχεδίασης (πηγαίος κώδικας VHDL, post

synthesis, post place & route) με προσομοίωση (simulation), την αποσφαλμάτωση (debug) καθώς και την επαλήθευση της λειτουργικότητας στο υλικό (FPGA validation) με χρήση κατάλληλης αναπτυξιακής κάρτας (development board).

Τα ψηφιακά κυκλώματα που θα σχεδιαστούν και θα υλοποιηθούν είναι αντίστοιχης διδακτικής σημασίας και πολυπλοκότητας με αυτά που διδάσκονται στο προπτυχιακό μάθημα κορμού της Λογικής Σχεδίασης (Κ02). Η αναπτυξιακή κάρτα που χρησιμοποιείται στην εκπαιδευτική διαδικασία είναι η κάρτα Zedboard της Xilinx που φιλοξενεί ένα FPGA της σειράς Zynq 7000 της Xilinx.

Το μάθημα περιλαμβάνει τις ακόλουθες ενότητες:

1. Τεχνολογίες υλοποίησης Ψηφιακών Συστημάτων – Εισαγωγή στις τεχνολογίες FPGA της Xilinx
2. Μεθοδολογία και ροή σχεδίασης με FPGAs
3. Διαδικασία download, αδειοδότησης (licensing) και εγκατάστασης του λογισμικού σχεδίασης FPGA της XILINX. Γνωριμία με την αναπτυξιακή κάρτα.
4. Βασικές έννοιες μοντελοποίησης λογικών εξισώσεων με VHDL
5. Βασικές έννοιες λειτουργικής επαλήθευσης με μοντέλα δοκιμής (VHDL Testbenches)
6. Βασικά συνδυαστικά κυκλώματα (αποκωδικοποιητές, κωδικοποιητές, πολυπλέκτες) με VHDL
7. Βασικές αριθμητικές πράξεις (πρόσθεση, αφαίρεση, σύγκριση, πολλαπλασιασμός) με VHDL
8. Βασικά στοιχεία αποθήκευσης (latches, flip-flops, καταχωρητές, καταχωρητές ολίσθησης) με VHDL
9. Μετρητές με VHDL
10. Μνήμες με VHDL
11. Μηχανές Πεπερασμένων Καταστάσεων (FSMs) με VHDL
12. Περιορισμοί χρονισμού (timing constraints) και σχεδίαση για timing closure
13. Σχεδίαση με χρήση έτοιμων πυρήνων IP (χρήση Xilinx IP Cores)

ΜΑΘΗΣΙΑΚΑ ΑΠΟΤΕΛΕΣΜΑΤΑ

Περιγράψτε τους στόχους ή/και τα μαθησιακά αποτελέσματα του μαθήματος. Μπορείτε να αναφερθείτε στις επιμέρους κατηγορίες των μαθησιακών αποτελεσμάτων σε επίπεδο γνώσεων, δεξιοτήτων (νοητικών, πρακτικών) και ικανοτήτων. Συμβουλευτείτε το Παράρτημα «Περίληπτικός Οδηγός συγγραφής Μαθησιακών Αποτελεσμάτων» για τη συγγραφή των μαθησιακών αποτελεσμάτων.

Διδακτικοί-Μαθησιακοί Στόχοι -Προσδοκώμενα Μαθησιακά Αποτελέσματα

Με την επιτυχή ολοκλήρωση του μαθήματος ο φοιτητής/φοιτήτρια θα είναι σε θέση να:

- σχεδιάζει και να υλοποιεί ψηφιακά κυκλώματα με τη χρήση της γλώσσας περιγραφής υλικού VHDL
- σχεδιάζει και να υλοποιεί ψηφιακά κυκλώματα σε τεχνολογία FPGAs με τη χρήση των εργαλείων λογισμικού της XILINX
- περιγράφει τις διαδικασίες της σύνθεσης, της επαλήθευσης της ορθής σχεδίασης και της υλοποίησης σε τεχνολογίες FPGAs

ΔΙΔΑΚΤΙΚΕΣ και ΜΑΘΗΣΙΑΚΕΣ ΜΕΘΟΔΟΙ - ΑΞΙΟΛΟΓΗΣΗ

ΤΡΟΠΟΣ ΠΑΡΑΔΟΣΗΣ	Στην τάξη με χρήση διαφανειών (PowerPoint) και πίνακα για το θεωρητικό μέρος του μαθήματος (γλώσσα περιγραφής υλικού VHDL) Στο εργαστήριο για την σχεδίαση και υλοποίηση των κυκλωμάτων στις αναπτυξιακές κάρτες FPGA.
ΧΡΗΣΗ ΤΕΧΝΟΛΟΓΙΩΝ ΠΛΗΡΟΦΟΡΙΑΣ ΚΑΙ ΕΠΙΚΟΙΝΩΝΙΩΝ	Υποστήριξη μαθησιακής διαδικασίας μέσω της ηλεκτρονικής πλατφόρμας e-class (π.χ. Παροχή υλικού, Ανακοινώσεις) Επικοινωνία μέσω ηλεκτρονικού ταχυδρομείου

	Χρήση εξειδικευμένου λογισμικού										
<p>ΟΡΓΑΝΩΣΗ ΔΙΔΑΣΚΑΛΙΑΣ – ΔΙΔΑΚΤΙΚΕΣ ΤΕΧΝΙΚΕΣ Περιγράφονται αναλυτικά ο τρόπος και τεχνικές διδασκαλίας και αναγράφονται αναλυτικά οι ώρες μελέτης του φοιτητή για κάθε μαθησιακή δραστηριότητα καθώς και οι ώρες μη καθοδηγούμενης μελέτης ώστε ο συνολικός φόρτος εργασίας σε επίπεδο εξαμήνου να αντιστοιχεί στα standards του ECTS (25 ώρες φόρτου εργασίας ανά πιστωτική μονάδα) Εμπλουτισμένες Διαλέξεις, Online Διαλέξεις, Σεμινάρια, Φροντιστήριο, Εργαστήριο, Εργαστηριακή Άσκηση, Μελέτη & ανάλυση βιβλιογραφίας, Πρακτική Εκπόνηση project, Εκπόνηση ατομικών / ομαδικών εργασιών Τηλεσυνεργασία (αναφορά σε εργαλεία) Κλπ</p>	<p>Περιγράφονται αναλυτικά ο τρόπος και τεχνικές διδασκαλίας, αριθμός ατόμων ανά ομάδα κτλ. Συμπληρώνεται αναλόγως και ο παρακάτω πίνακας.</p> <table border="1"> <thead> <tr> <th>Δραστηριότητα</th> <th>Φόρτος (ώρες)</th> </tr> </thead> <tbody> <tr> <td>Διαλέξεις</td> <td>12</td> </tr> <tr> <td>Εργαστηριακές ασκήσεις (Εργαστήριο)</td> <td>14</td> </tr> <tr> <td>Αυτοτελής Μελέτη</td> <td>26</td> </tr> <tr> <td>Σύνολο ωρών</td> <td>52</td> </tr> </tbody> </table>	Δραστηριότητα	Φόρτος (ώρες)	Διαλέξεις	12	Εργαστηριακές ασκήσεις (Εργαστήριο)	14	Αυτοτελής Μελέτη	26	Σύνολο ωρών	52
Δραστηριότητα	Φόρτος (ώρες)										
Διαλέξεις	12										
Εργαστηριακές ασκήσεις (Εργαστήριο)	14										
Αυτοτελής Μελέτη	26										
Σύνολο ωρών	52										
<p>ΑΞΙΟΛΟΓΗΣΗ ΦΟΙΤΗΤΩΝ Περιγραφή της διαδικασίας αξιολόγησης Μέθοδοι αξιολόγησης (Διαμορφωτική ή/και Τελική), Εργαλεία Αξιολόγησης (Δοκιμασία Πολλαπλής Επιλογής, Ερωτήσεις Σύντομης Απάντησης, Ερωτήσεις Ανάπτυξης Δοκιμίων, Επίλυση Προβλημάτων, Γραπτή Εργασία, Έκθεση/Αναφορά, Προφορική Εξέταση, Δημόσια Παρουσίαση, Εργαστηριακή Εργασία, Άλλη/άλλες), Παροχή ανατροφοδότησης (περιγραφική, μέσω κλίμακας διαβαθμισμένων κριτηρίων)</p>	<p>Περιγράφονται ρητά οι μέθοδοι, τα εργαλεία αξιολόγησης και η παρεχόμενη ανατροφοδότηση αποτελεσμάτων. Συμπληρώνεται αναλόγως και ο παρακάτω πίνακας.</p> <table border="1"> <thead> <tr> <th>Αξιολόγηση</th> <th>Αριθμός</th> <th>Ποσοστό</th> </tr> </thead> <tbody> <tr> <td>Εργαστηριακή εξέταση</td> <td>1</td> <td>100%</td> </tr> </tbody> </table>	Αξιολόγηση	Αριθμός	Ποσοστό	Εργαστηριακή εξέταση	1	100%				
Αξιολόγηση	Αριθμός	Ποσοστό									
Εργαστηριακή εξέταση	1	100%									

ΣΥΝΙΣΤΩΜΕΝΗ-ΒΙΒΛΙΟΓΡΑΦΙΑ

- 1) Ψηφιακή Σχεδίαση. Ενσωματωμένα Συστήματα με VHDL, Peter J. Ashenden, Επιστημονική Επιμέλεια – Μετάφραση: Μ. Ψαράκης, Ν. Κρανίτης, Δ. Γκιζόπουλος, Έκδοση 1^η, 2010, Εκδόσεις Νέων Τεχνολογιών
- 2) Σχεδιασμός Κυκλωμάτων με τη VHDL, V.A. Pedroni, Έκδοση 1^η, 2008, Εκδόσεις Κλειδάριθμος